

Publication number: JP 11-163583

Publication date: June 18, 1999

Application number: 09-323016

Application date: November 25, 1997

Inventor(s): KAZUMASA FUKAZAWA

Applicant: CITIZEN ELECTRONICS CO LTD

Title of the Invention: PACKAGE FOR ELECTRONIC PARTS AND
MANUFACTURE OF THE SAME

[0011]

[Embodiment of the invention]

A detailed description will be given of an electronic parts package and a method of fabricating the package according to the present invention, by referring to the attached drawings. Figs. 1 and 2 show the electronic parts package 11 as an EL driver module according to one embodiment of the present invention. In this embodiment, the electronic parts package 11 is formed such that an IC 13, a coil 14 and a capacitor 15 for use in an EL driver are mounted on top of a rectangular substrate 12. As shown in Fig. 2, these electronic parts are connected to an electrode pattern 16a by means of die bonding or wire bonding or soldered to the pattern using reflow techniques. The substrate 12 is formed of an insulating material such as glass epoxy resin. Through-hole electrodes 17a, 17b, 17c and 17d are formed at the four corners of the substrate 12 to connect to the underside of the substrate 12. The through-hole electrode 17a constitutes a grounded terminal. The grounding electrode 17a is electrically connected to a ground line on a motherboard (not shown) when the electronic parts package 11 is mounted on the mother board. In addition to the electrode pattern 16a, a grounding electrode pattern 16b electrically connected to the grounding terminal 17a is formed on top of the substrate 12.

BEST AVAILABLE COPY

[0012]

Thus, the top surface of the substrate 12 on which are mounted the IC 13, the coil 14 and the capacitor 15 is sealed to result in a sealed body 18 formed of epoxy resin. The sealed body 18 is of practically the same shape as the planar shape of the substrate 12. The sealed body 18 and the substrate 12 integrally form a resin sealed package. Epoxy resin, which is used to form the sealed body 18, is superior in humidity resistance, antiweatherability, insulating properties and heat-resisting properties. Further, epoxy resin comprises components different from those of glass epoxy plate, allowing the surface of the sealed body 18 to be plated in sufficiently good condition as a matter of practice. As shown in Figs. 1 and 2, an end 19 of the grounding electrode pattern 16b is exposed outside the sealed body 18.

[0013]

A nickel plating layer 20 is formed on the entire surface of the sealed body 18. The nickel plating layer 20 is adhesively formed on the epoxy resin by electroless plating. Since the nickel plating layer 20 is also formed on the side surface of the sealed body 18, the nickel plating layer 20 is also formed on the end 19 of the grounding electrode pattern 16b exposed outside the sealed body 18. As a result, the nickel plating layer 20 is electrically connected to the grounding electrode pattern 16b and the grounding terminal 17a, which is connected to the ground line of the motherboard. Therefore, the electronic parts are shielded from external electric field noise. It will be noted further that the thickness of the nickel plating layer 20 is desirably set. For example, by forming the nickel plating layer 20 to be of approximately the same thickness as a conventional shield cover, shielding effect is obtained. External magnetic field noise is absorbed by the nickel plating layer 20 so that the coil 14 is shielded from magnetic field noise.

[0014]

Thus, by only coating the surface of sealed body 18 formed

of epoxy resin with the nickel plating layer 20, the electronic parts are shielded from electric field noise and magnetic field noise. Therefore, it is not necessary to press-mold a shield cover as is done in the related art. Shielding of electronic parts is achieved easily without requiring extra fabrication steps. Also, since the thickness of the nickel plating layer 20 can be easily changed, the thickness of plating may be changed depending on required shielding properties.

[0015]

Figs. 3 through 8 show a method of fabricating an electronic parts package with the above-mentioned structure. As shown in Fig. 3, the fabrication process involves providing a through-hole electrode as the grounding terminal 17a on a collective substrate 22, on which dicing lines 21 for dividing into the individual substrates 12 are defined. The grounding electrode pattern 16b connecting the grounding terminals 17a are continuously formed on top of the collective substrate 22. In this process, the through-hole electrodes other than the grounding terminal 17a and electrode patterns for electronic parts (not shown) are simultaneously formed.

[0016]

In the subsequent step shown in Fig. 4, the IC 13, the coil 14 and the capacitor 15 are placed at predetermined positions on each substrate 12 and are mounted on the substrate 12 by means of die bonding or wire bonding or soldered to the pattern using reflow techniques. Subsequently, as shown in Fig. 5, the entire surface of the collective substrate 22 is filled with epoxy resin so as to form the sealed body 18 of a uniform thickness on the substrate 12 for resin sealing of the electronic parts. In resin sealing, a frame may be formed around the periphery of the collective substrate 22 or a thin tape as a masking member may be attached thereto to prevent resin from being drained to the through holes. Specific details of fabrication may be practiced as appropriate depending on the situation occurring in fabrication.

[0017]

In the subsequent step shown in Figs. 6 and 7, the sealed body 18 is half-diced by cutting it along the dicing lines 21 resulting in a matrix of cuts 23 and leaving practically the lower half of collective substrate 22 uncut. Half dicing causes the surface of the sealed body 18 of each substrate 12 facing the cut to be exposed. Since the cut 23 is produced in practically the upper half of the collective substrate 22, the end 19 of the grounding electrode pattern 16b is exposed outside the sealed body 18. In the subsequent step shown in Fig. 8, the nickel plating layer 20 is formed by electroless plating on the outer surface of the sealed body 18. In this process, plating enters the cuts 23 of the half-diced sealed body 18 so that the nickel plating layer 20 is formed around the sealed body 18 of each substrate 12. As a result, the nickel plating layer 20 is attached to the exposed end 19 of the grounding electrode pattern 16b. Thereby, the nickel plating layer 20 is electrically connected with the grounded terminal 17a formed of a through hole and is thus grounded. Accordingly, the nickel plating layer 20 exercises the shielding function for shielding the electronic parts from electric field noise and magnetic field noise.

[0018]

Thus, by filling the entire surface of the collective substrate 22 with epoxy resin and subsequently conducting half-dicing, the surface of the sealed body 18 of each substrate 12 facing the cut is exposed, allowing a large number of nickel plating layers 20 to be formed simultaneously. Finally, the collective substrate 22 is diced again along the dicing lines 21 defined on the collective substrate 22 to isolate the individual substrates 12 completely, forming respective electronic parts packages 11. The electronic parts packages 11 thus formed are mounted on a mother board as final produces.

[0019]

As described above, by employing a half dicing step, it is ensured that the end of the grounding electrode pattern 16b is exposed. By plating the exposed portion, electric

BEST AVAILABLE COPY

connection is established with the grounding electrode pattern 16b. The electronic parts package 11 is shielded by the coating the outer surface of the sealed body 18 and the end of the grounding electrode pattern 16b with the nickel plating layer 20. Thus, it is possible to fabricate the shielded electric parts package 11, using the same production line consistently.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163583

(43) 公開日 平成11年(1999)6月18日

(51) Int.Cl.
H05K 9/00
H01L 23/28

識別記号

F I
H05K 9/00
H01L 23/28

Q
F

審査請求 未請求 請求項の数5 01 (全7頁)

(21) 出願番号 特願平9-323016
(22) 出願日 平成9年(1997)11月25日

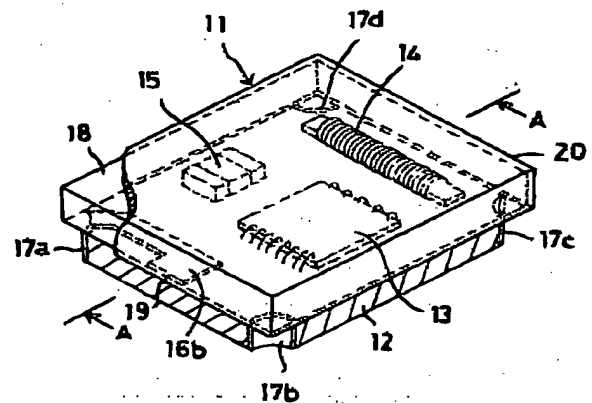
(71) 出願人 000131430
株式会社シチズン電子
山梨県富士吉田市上暮地1丁目23番1号
(72) 発明者 森澤 和真
山梨県富士吉田市上暮地1丁目23番1号
株式会社シチズン電子内
(74) 代理人 弁理士 浅川 哲

(54) 【発明の名称】 電子部品パッケージ及びその製造方法

(57) 【要約】

【課題】 プレス成形したシールドカバーを用いることなく、シールド工程を出来るだけ簡易にして工数の掛からないようにしたELドライバ用の電子部品パッケージを提供すること。

【解決手段】 基板12の上面にグランドラインと導通する接地用電極パターン16bを形成する。基板12にELドライバ用のコイル14、IC13及びコンデンサ15を実装し、これら電子部品をエポキシ樹脂で封止する。封止体18の表面にニッケルメッキ層20をコーティングし、ニッケルメッキ層20と接地用電極パターン16bとを導通させる。封止体18の表面にニッケルメッキ層20をコーティングすることによって、電子部品を電界ノイズ及び磁界ノイズからシールドすることができる。従って、シールドカバーをプレス成形する必要がなく、作業工数を掛けることなく簡単に電子部品パッケージをシールドできる。



- 11...電子部品パッケージ
- 12...基板
- 13...IC
- 14...コイル
- 15...コンデンサ
- 16b...接地用電極パターン
- 18...封止体
- 20...ニッケルメッキ層

BEST AVAILABLE COPY

(2)

特開平11-163583

【特許請求の範囲】

【請求項1】 基板にコイル及びICを含む電子部品を
実装し、該電子部品をエポキシ樹脂で封止すると共に、
該封止体の表面にニッケルメッキ層を形成し、該ニッケル
メッキ層を接地したことを特徴とする電子部品パッケ
ージ。

【請求項2】 基板にコイル、IC及びコンデンサを
実装し、これら電子部品をエポキシ樹脂で封止すると共
に、該封止体の表面にニッケルメッキ層を形成し、該ニ
ッケルメッキ層を接地したことを特徴とするELドライ
バ用の電子部品パッケージ。

【請求項3】 前記基板の上面にグランドラインと導通
する接地用の電極パターンを形成しておき、この接地用
電極パターンと前記ニッケルメッキ層とを導通させたこ
とを特徴とする請求項1又は2記載の電子部品パッケ
ージ。

【請求項4】 グランドラインと導通する接地用の電極
パターンが上面に形成された基板にコイル及びICを含
む電子部品を実装する実装工程と、
前記電子部品をエポキシ樹脂によって封止する樹脂封止
工程と、
前記エポキシ樹脂の表面、及び前記接地用電極パター
ンの表面にニッケルメッキ層を形成すると同時にそれぞ
れを導通させるメッキコーティング工程とを備えたこと
を特徴とする電子部品パッケージの製造方法。

【請求項5】 グランドラインと導通する接地用の電極
パターンが各単一基板毎の上面に形成された集合基板に
コイル及びICを含む電子部品を各単一基板毎に実装す
る実装工程と、
前記電子部品を含む集合基板の上面全面にエポキシ樹脂
を充填して封止する樹脂封止工程と、
前記エポキシ樹脂の上から前記接地用電極パターン及び
基板の一部までをダイシングするハーフダイシング工
程と、
前記エポキシ樹脂の全表面及びハーフダイシングしたエ
ポキシ樹脂の溝周面、さらに溝周面に露出した接地用電
極パターンの端部にニッケルメッキ層を形成すると同時
に、該端部とニッケルメッキ層とを導通させるメッキ
コーティング工程と、
前記ニッケルメッキ層の形成によって電子部品がシール
ドされた前記集合基板を各単一基板毎にフルダイシング
して一つ一つに分割する分割工程とを備えたことを特徴
とする電子部品パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コイルやICなど
の電子部品を基板上に実装し、これをエポキシ樹脂によ
って封止した電子部品パッケージ及びその製造方法に関
する。

【0002】

【従来の技術】一般に、基板上にコイルやICなどの電
子部品を実装してパッケージ化した場合、コイルやIC
が外部からの磁場や電波に対して影響を受けるため、パ
ッケージ全体をシールドする必要がある。従来、電子部
品パッケージ全体をシールドしたのものとしては、例えば
図9に示したものが知られている。この電子部品パッケ
ージ1は、側面にグランド接続用端子2が形成された基
板3の上にコイル及びICを含む電子部品(図示せず)
を実装し、この電子部品をエポキシ樹脂等の封止体4で
封止した後、封止体4の上から箱型のシールドカバー5
をすっぽり被せることによって全体をシールドしたもの
である。シールドカバー5を被せた時に、シールドカバ
ー5の一隅に設けたグランド用突起部6が基板3のグラ
ンド接続用端子2と接触する。そして、このグランド接
続用端子2は、電子部品パッケージ1をマザーボードに
表面実装したとき、マザーボードのグランドラインと導
通する。従って、グランド用突起部6がグランド接続用
端子2を介してマザーボードのグランドラインと導通
し、結果的にシールドカバー5が接地されて電子部品は
電界ノイズからシールドされることになる。また、シ
ールドカバー5は、ニッケル合金等の磁性材を箱型にプレ
ス成形したものであるので、電子部品を外部の磁界ノイ
ズからもシールドすることができる。

【0003】また、図10に示した電子部品パッケージ
1は、箱型のシールドカバー5の下面にスプリング8を
装着した例である。シールドカバー5を封止体4に被せ
た時に、スプリング8を封止体4に設けた穴部7に挿入
することで、スプリング8が基板3上面に形成した接地
用電極パターン(図示せず)と接触し、シールドカバー
5が接地されるものである。従って、この場合にもシ
ールドカバー5によって、電子部品を磁界ノイズ及び電界
ノイズからシールドすることができる。

【0004】

【発明が解決しようとする課題】しかしながら、上記従
来の電子部品パッケージ1にあっては、いずれの例でも
電子部品等の実装工程とは別工程でシールドカバー5を
プレス成形しなければならぬ他、封止体に被せる際の
位置合わせなどコスト面、作業面で問題があった。

【0005】そこで、本発明は、上記従来のシールドカ
バーを用いることなく、シールド工程を出来るだけ簡易
にして工数の掛からないようにした電子部品パッケージ
及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】すなわち、上記課題を解
決するために本発明の請求項1に係る電子部品パッケ
ージは、基板にコイル及びICを含む電子部品を実装し、
該電子部品をエポキシ樹脂で封止すると共に、該封止体
の表面にニッケルメッキ層を形成し、該ニッケルメッキ
層を接地したことを特徴とする。

【0007】また、本発明の請求項2に係るELドライ

BEST AVAILABLE COPY

(3)

特開平11-163583

3

バ用の電子部品パッケージは、基板にコイル、IC及びコンデンサを実装し、これら電子部品をエポキシ樹脂で封止すると共に、該封止体の表面にニッケルメッキ層を形成し、該ニッケルメッキ層を接地したことを特徴とする。

【0008】また、本発明の請求項3に係る電子部品パッケージは、前記基板の上面にグランドラインと導通する接地用の電極パターンを形成しておき、この接地用電極パターンと前記ニッケルメッキ層とを導通させたことを特徴とする。

【0009】また、本発明の請求項4に係る電子部品パッケージの製造方法は、グランドラインと導通する接地用の電極パターンが上面に形成された基板にコイル及びICを含む電子部品を実装する実装工程と、前記電子部品をエポキシ樹脂によって封止する樹脂封止工程と、前記エポキシ樹脂の表面、及び前記接地用電極パターンの表面にニッケルメッキ層を形成すると同時にそれぞれを導通させるメッキコーティング工程とを備えたことを特徴とする。

【0010】更に、本発明の請求項5に係る電子部品パッケージの製造方法は、グランドラインと導通する接地用の電極パターンが各単一基板毎の上面に形成された集合基板にコイル及びICを含む電子部品を各単一基板毎に実装する実装工程と、前記電子部品を含む集合基板の上面全面にエポキシ樹脂を充填して封止する樹脂封止工程と、前記エポキシ樹脂の上から前記接地用電極パターン及び基板の一部までをダイシングするハーフダイシング工程と、前記エポキシ樹脂の全表面及びハーフダイシングしたエポキシ樹脂の溝局面、さらに溝局面に露出した接地用電極パターンの端部にニッケルメッキ層を形成すると同時に、該端部とニッケルメッキ層とを導通させるメッキコーティング工程と、前記ニッケルメッキ層の形成によって電子部品がシールドされた前記集合基板を各単一基板毎にフルダイシングして一つ一つに分割する分割工程とを備えたことを特徴とする。

【0011】

【発明の実施の形態】以下、添付図面に基づいて本発明に係る電子部品パッケージ及びその製造方法について詳細に説明する。図1及び図2は、本発明に係る電子部品パッケージ11をELドライブモジュールとして構成した時の一実施例を示したものである。この実施例において、電子部品パッケージ11は、矩形形状の基板12の上面にELドライブ用のIC13、コイル14及びコンデンサ15を実装したものである。これらの電子部品は、図2に示したように、電極パターン16a上にダイボンドやワイヤボンドなどの手段により接続されたり、リフローで半田付けされる。基板12は、ガラスエポキシ樹脂等の絶縁材からなり、その側面の四隅には基板12の下面に連なるスルーホール電極17a、17b、17c、17dが形成されると共に、その内の一つのスルー

4

ホール電極17aがグランド接続用端子として構成されている。このグランド接続用端子17aは、電子部品用パッケージ11がマザーボード（図示せず）に実装された時に、マザーボードのグランドラインと導通するものである。また、上記基板12の上面には、前述の電極パターン16aの他に、グランド接続用端子17aと導通する接地用電極パターン16bが形成されている。

【0012】上述のようにして、IC13、コイル14及びコンデンサ15が実装された基板12の上面は、エポキシ樹脂からなる封止体18によって封止される。この封止体18は、基板12の平面形状と略同一形状であり、両者が一体となって樹脂封止パッケージを構成する。封止体18に用いられるエポキシ樹脂は、耐湿性、耐候性、絶縁性及び耐熱性等に優れると共に、前述のガラスエポキシ板とは異なる成分構成からなり、封止体18の表面にメッキが実用的強度で形成されるのを可能としている。なお、この実施例では、図1及び図2に示したように、接地用電極パターン16bの一端部19を、封止体18から外部に露出させてある。

【0013】前記封止体18の全表面にはニッケルメッキ層20が形成されている。このニッケルメッキ層20は、無電解メッキ法によってエポキシ樹脂の上に付着形成される。また、ニッケルメッキ層20は、封止体18の周面にも形成されることから、封止体18から露出している接地用電極パターン16bの一端部19にも付着形成されることになる。その結果、ニッケルメッキ層20は、接地用電極パターン16b及びグランド接続用端子17aと導通し、マザーボードのグランドラインに接地されることになるため、外部の電界ノイズから電子部品をシールドすることができる。さらに、ニッケルメッキ層20の厚さを自由に設定することができ、例えば、従来のシールドカバーと同程度の厚さで形成した場合にシールド効果を得ることができ、外部からの磁界ノイズはニッケルメッキ層20によって吸収され、コイル14を磁界ノイズからシールドすることができる。

【0014】このように、エポキシ樹脂からなる封止体18の表面にニッケルメッキ層20をコーティングするだけで、電子部品を電界ノイズ及び磁界ノイズからシールドすることができるため、従来のようにシールドカバーをプレス成形する必要がなく、作業工数を掛けることなく簡単に電子部品パッケージをシールドすることができる。また、ニッケルメッキ層20のメッキ厚も簡単に変更できるため、必要とするシールド特性に応じてメッキ厚を変更することが可能である。

【0015】図3乃至図8は、上記構成からなる電子部品パッケージの一製造方法を示したものである。この製造工程では、先ず図3に示すように、各単一基板12毎にダイシングライン21が想定される集合基板22にグランド接続用端子17aとなるスルーホール電極を設けると共に、集合基板22の上面にはグランド接続用端子

50

BEST AVAILABLE COPY

(4)

特開平11-163583

5

17aをつなぐ接地用電極パターン16bを連続的に形成する。この時、グランド接続用端子17a以外のスルーホール電極及び電子部品用の電極パターン（図示せず）も同時に形成する。

【0016】次の工程では、図4に示すように、基板12毎にIC13、コイル14及びコンデンサ15を所定位置に載置し、ダイボンド及びワイヤボンド、リフロなどの手段で基板12上に実装する。次いで、図5に示すように、集合基板22の上面全体にエポキシ樹脂を充填し、基板12の上に均一な厚さの封止体18を形成して電子部品を樹脂封止する。なお、集合基板22の外周に型枠を設けたり、スルーホールに樹脂が流れ込まないように、マスク材として薄いテープを貼るなどの方法を用いて樹脂封止するが、これらの加工方法は製造の実情に合わせて実施すればよい。

【0017】次の工程では、図6及び図7に示すように、ダイシングライン21に沿って封止体18の上から格子状に切込み23を入れ、集合基板22の略下半部を残した状態でハーフダイシングを行なう。このハーフダイシングによって封止体18は各単一基板12毎に溝周面が露出すると共に、集合基板22の略上半部にも切込み23が入るために、接地用電極パターン16bの一端部19も封止体18から露出することになる。そして、図8に示した次の工程で、封止体18の外表面に無電解メッキ法によってニッケルメッキ層20を形成する。この時、ハーフダイシングした封止体18の切込み23にもメッキが回り込んで、各単一基板12毎に封止体18の周囲にニッケルメッキ層20が形成されるために、ニッケルメッキ層20が接地用電極パターン16bの露出している一端部19にも付着し、スルーホールからなるグランド接続用端子17aまでが導通し接地される。従って、ニッケルメッキ層20がシールド作用を發揮し、電子部品を電界ノイズや磁界ノイズからシールドすることができる。

【0018】このように、集合基板22の全面にエポキシ樹脂を充填し、ハーフダイシングすることにより封止体18の各単一基板12毎の溝周面を露出させ、一度に多数同時にニッケルメッキ層20を形成することができる。そして、最後に集合基板22に想定されたダイシングライン21に沿って再びダイシングし、各単一基板12毎に完全に切り離して一つ一つの電子部品パッケージ11に分割する。分割された電子部品パッケージ11は、完成品として図示外のマザーボード上に実装される。

【0019】上述のように、ハーフダイシング工程を用いたことで接地用電極パターン16bの端部を露出させることができ、この露出部分にメッキを行なうことで接地用電極パターン16bを導通させることができる。また、電子部品パッケージ11は、封止体18の外表面及び接地用電極パターン16bの一端部19にニッケルメ

6

ッキ層20を被覆形成することでシールドされるため、一貫した生産ラインで簡単にシールド付き電子部品パッケージ11の製造が可能になる。

【0020】なお、上記実施例では基板12上にIC13、コイル14及びコンデンサ15を実装したE1Dドライバについて説明したが、本発明はこれに限定されることなく、種々の電子部品パッケージに適用できるものである。また、基板12の上面に形成した接地用電極パターン16bの形状および一端部19の露出個所などは上記実施例に限定されないことは勿論である。

【0021】

【発明の効果】以上説明したように、本発明に係る電子部品パッケージによれば、電子部品の封止体としてエポキシ樹脂を用い、無電解メッキによってその表面にシールド効果が備わったニッケルメッキ層を簡単に形成することができるため、従来のような工数の掛かるプレス加工による金属カバーの成形に比べて製造コストを大幅に下げることができた。

【0022】また、グランドラインと導通する接地用の電極パターンを基板の上面に形成し、この接地用の電極パターンの一端にニッケルメッキ層を形成して導通させたので、ニッケルメッキ層の接地を容易且つ確実にこなうことができた。

【0023】また、本発明に係る電子部品パッケージの製造方法によれば、エポキシ樹脂からなる封止体の表面にニッケルメッキ層を形成することでシールドできるために、従来のような工数の掛かる金属カバーのプレス加工が不要となり、一貫した生産ラインで電子部品パッケージを製造することができる。

【0024】さらに、本発明に係る電子部品パッケージの製造方法によれば、エポキシ樹脂からなる封止体の表面にニッケルメッキ層を形成することでシールドできるために、集合基板を用いた製造が可能となり、一度に多数の電子部品パッケージを製造することで、コストの大幅低下を達成することができた。

【図面の簡単な説明】

【図1】本発明に係る電子部品パッケージの一実施例を示す斜視図である。

【図2】上記図1のA-A線断面図である。

【図3】上記実施例に係る電子部品パッケージの接地用電極パターンの形成工程図である。

【図4】上記実施例に係る電子部品パッケージの電子部品の実装工程図である。

【図5】上記実施例に係る電子部品パッケージの樹脂封止工程図である。

【図6】上記実施例に係る電子部品パッケージのハーフダイシング工程図である。

【図7】上記図6のB-B線断面図である。

【図8】上記実施例に係る電子部品パッケージのメッキ工程図である。

50

BEST AVAILABLE COPY

(5)

特開平11-163583

7

8

【図9】従来の電子部品パッケージの一例を示す斜視図である。

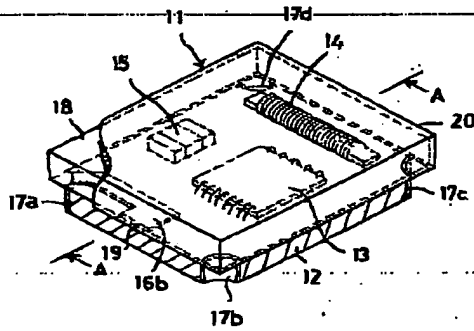
【図10】従来の電子部品パッケージの他の例を示す斜視図である。

【符号の説明】

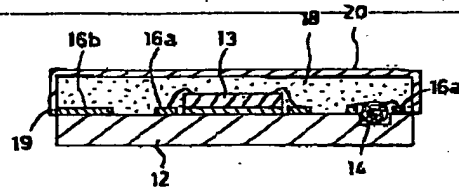
- 11 電子部品パッケージ
- 12 基板

- 13 IC
- 14 コイル
- 16b 接地用電極パターン
- 18 封止体
- 20 ニッケルメッキ層
- 21 ダイシングライン
- 22 集合基板

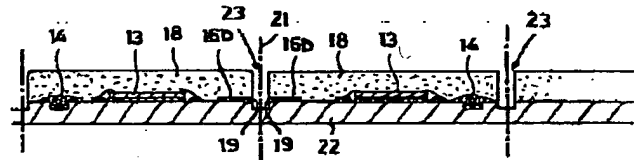
【図1】



【図2】

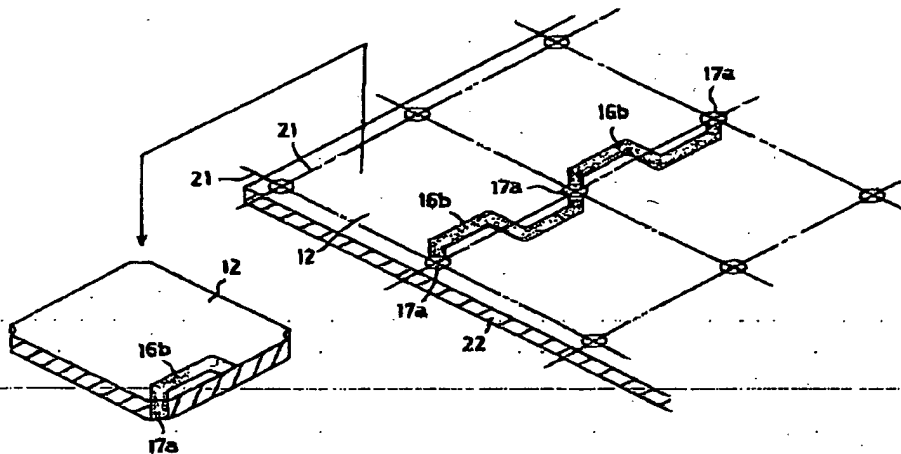


【図7】



- 11-電子部品パッケージ
- 12-基板
- 13-IC
- 14-コイル
- 16b-接地用電極パターン
- 18-封止体
- 20-ニッケルメッキ層

【図3】

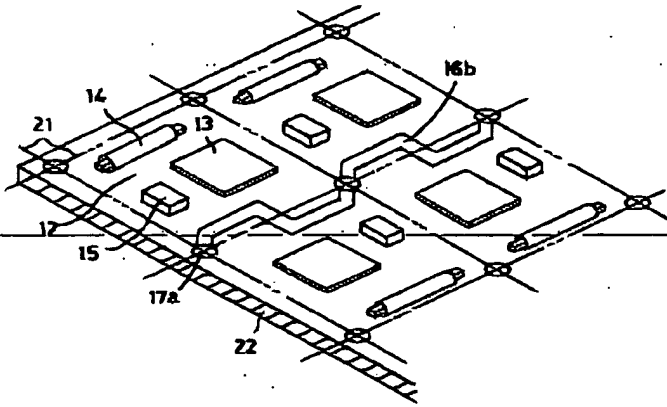


BEST AVAILABLE COPY

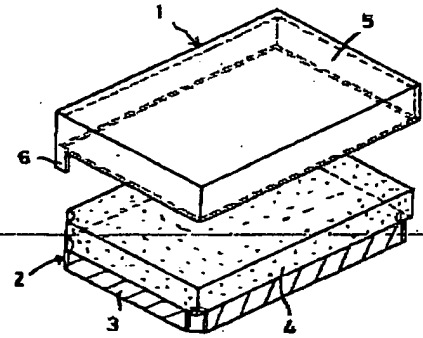
(6)

特開平11-163583

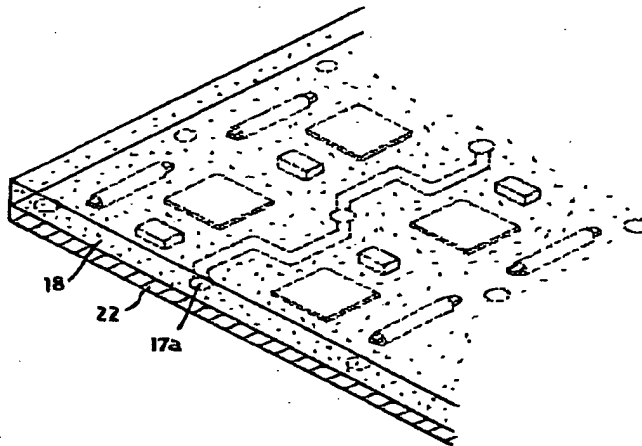
【図4】



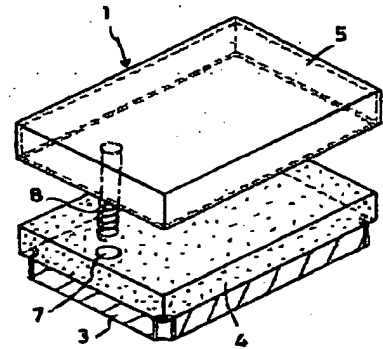
【図9】



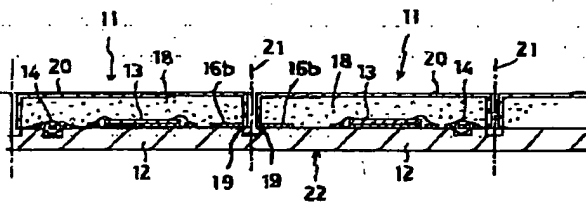
【図5】



【図10】



【図8】



BEST AVAILABLE COPY

(7)

特開平11-163583

【図6】

